

# Méthodes de caractérisation en hautes fréquences des technologies de circuits intégrés en silicium dédiées aux applications TéraHertz et sub-TéraHertz

C. Raya et B. Ardouin

XMOD Technologies, 74 rue Georges Bonnac, Tour 1, 33000 Bordeaux, France

[raya@xmodtech.com](mailto:raya@xmodtech.com)

**Mots clés :** Simulation électromagnétique FEM 3D, de-embedding, caractérisation, paramètres S.

## Résumé

Les technologies bipolaires silicium autorisent aujourd'hui la conception de circuits intégrés dans la gamme de fréquence sub-téraHertz. Bien que les performances soient encore modestes, l'énorme réduction d'encombrement et de coût possible ouvre des perspectives nouvelles. La caractérisation haute fréquences de nano-composants requiert des méthodologies de suppression des accès ("de-embedding") avancées. Cet article présente une étude qualitative des méthodes de de-embedding basée sur des simulations électromagnétiques. L'ensemble des structures nécessaires a été simulé au moyen d'un simulateur électromagnétique 3D par éléments finis jusqu'à 200 GHz. Un composant passif spécifique a été simulé afin de servir de standard de référence. Les résultats de simulation du composant dans sa structure de test sont alors corrigés de la simulation des lignes et plots d'accès seuls suivant plusieurs méthodes de de-embedding. Les résultats censés représenter le composant intrinsèque sont alors comparés à simulation de la référence.

## Introduction

Le domaine des fréquences téraHertz se situant à la limite de l'optique et des ondes radio est resté longtemps inexploré. L'énorme potentiel d'applications scientifiques envisagé a donné lieu à un grand nombre de travaux basés sur les technologies électro-optiques. Jusqu'à une époque récente, il était inenvisageable d'atteindre le domaine téraHertz par la montée en fréquence des circuits intégrés électroniques. Les technologies bipolaires silicium-germanium (avec des fréquences maximales d'oscillation de 0.5 THz [1]) autorisent aujourd'hui la conception de sources et de récepteurs téraHertz selon le même principe que les circuits radiofréquence classiques [2]. L'énorme réduction d'encombrement et de coût ainsi que la production en grande série (par exemple de pixels) couplée à la capacité de traitement des signaux des technologies silicium ouvre des perspectives nouvelles. La conception de tels systèmes, en particulier aux limites des fréquences maximales des transistors, dépend essentiellement de l'infrastructure de simulation et de CAO. Par conséquent, la réalisation de circuit téraHertz est tributaire de la capacité à caractériser avec précision les composants élémentaires que sont les transistors et les composants passifs fabriqués sur les tranches de silicium. En effet, déterminer les propriétés intrinsèques de nano-composants connectés à des plots de mesure 2000 fois plus vastes qu'eux (pour les transistors) et par des lignes de transmission de longueur similaire aux longueurs d'ondes étudiées, requiert des méthodologies de suppression des erreurs ("calibration") et de suppression des accès extrinsèques ("de-embedding") avancées. De nombreux travaux font état de l'évolution de ces méthodes en ce qui concerne le "de-embedding" [3][4][5][6][7][8]. Toutefois, devant l'impossibilité de fabriquer des standards fiables in situ, il n'est pas possible de valider la précision de ces méthodes expérimentalement, et la plupart des travaux existants se contentent de comparer différentes méthodes les unes par rapport aux autres. Pour la première fois, l'ensemble des structures utilisées pour le "de-embedding" (lignes et plots d'accès seuls, composant au sein des plots et lignes d'accès) a été simulé au moyen d'un simulateur électromagnétique 3D par éléments finis jusqu'à 200 GHz. En particulier, une méthode spécifique a été développée pour simuler le comportement intrinsèque (sans accès) d'un composant spécialement développé pour servir de référence (nommé charge virtuelle dans le texte qui suit). La difficulté principale est de s'affranchir des discontinuités au niveau des accès du composant. Les résultats de simulation du composant au sein de la structure sont alors corrigés de la simulation des lignes et plots d'accès suivant plusieurs méthodes de de-embedding. Les résultats censés représenter le composant après correction sont alors comparés aux simulations du composant de référence, et la validité de chaque méthode de de-embedding peut être évaluée pour un cas idéal. Si cette méthodologie ne permet pas d'affirmer la validité d'une méthode avec certitude, elle permet en revanche de prouver son manque de précision si tel est le cas.

## Description du dispositif étudié

Les technologies de la micro-électronique étant en perpétuelle évolution, les composants les plus avancés sont toujours plus rapides que le matériel disponible pour les caractériser. Néanmoins, l'utilisation de modèles compacts basés sur la physique permet d'obtenir une extrapolation satisfaisante aux fréquences auxquelles ils sont destinés à être utilisés. Il est cependant indispensable que l'écart relatif entre la fréquence maximale des composants et celle de caractérisation ne s'accroisse pas avec l'évolution des technologies, soit du fait du matériel, soit du fait des méthodes de de-embedding.

En effet, contrairement à la simple vérification de circuits, la caractérisation de composants isolés requiert une précision telle qu'on estime les limites de validité des méthodes de de-embedding aux alentours de 100GHz. Pour cette raison, nous limiterons notre étude à une fréquence maximale de 200GHz.

Les simulations 3D présentées correspondent une configuration standard pour des structures dédiées à la caractérisation d'inductances intégrées (Figure 1-a). Dans ce cas précis, les dimensions importantes de l'inductance imposent un espacement conséquent des plots de mesure et donc la présence de lignes d'accès relativement longues, ce qui correspond à un pire cas. On notera également que les deux accès au composant s'effectuent dans un même plan avec une faible distance entre les ports 1 et 2. La section des lignes de transmission des structures de test ne correspond pas à la section du dispositif étudié afin de correspondre aux cas le plus général. Le plan de référence du composant est donc une discontinuité de la structure. L'impédance des lignes d'accès n'est pas adaptée à 50  $\Omega$  (impédance usuelle d'un banc de mesure sous pointe). Le dispositif étudié permet donc d'évaluer diverses méthodes de « de-embedding » dans des conditions à la fois représentatives de cas réels et défavorables en termes de parasites.

Le simulateur FEM (Finite Element Method) 3D ne permettant pas de simuler des composants actifs (tel un transistor), le dispositif étudié ne peut donc être qu'un élément passif. Le composant choisi pour cette étude a été spécialement développé pour servir de référence et a été baptisé « Charge virtuelle » ou « Virtual Load » (Figure 1-b). Ce standard dédié à la validation du de-embedding présente certaines propriétés remarquables. Tout d'abord, c'est un composant simple constitué de seulement deux surfaces métalliques en vis-à-vis, constituant deux capacités. La première capacité  $C_{11}$  est située entre le port 1 et la masse. La seconde capacité  $C_{12}$  se trouve entre les ports 1 et 2. Ce composant dispose en pratique d'une faible dispersion de ses caractéristiques du fait de sa géométrie et du procédé de fabrication. Les valeurs des capacités peuvent être obtenues à partir mesures basse fréquence (éventuellement à partir d'un capacimètre). Un autre atout de cette structure est qu'elle permet de synthétiser des paramètres S similaires à ceux d'un transistor (hormis  $S_{21}$  du fait de sa nature passive). En effet, en ajustant le ratio des deux capacités, il est possible de parcourir l'intérieur de l'abaque de Smith suivant un tracé proche des paramètres  $S_{11}$ ,  $S_{22}$  et  $S_{12}$  d'un transistor. Sous réserve que le comportement capacitif soit idéal, l'évolution fréquentielle des paramètres S de cette structure est parfaitement prévisible à partir des valeurs des capacités  $C_{11}$  et  $C_{12}$ . Il s'agit donc d'une structure de validation du de-embedding large bande.

### Présentation des 3 méthodes de de-embedding étudiées.

Parmi les nombreuses méthodes existant à ce jour dans la littérature, nous avons sélectionné la méthode « Open » [3] (la première développée, la plus simple et encore largement utilisée aujourd'hui), la méthode « Open-Short » [4] (le standard dans l'industrie) et la méthode avancée « 6 dummies » [5] (pour sa précision et son approche distribuée). L'objectif essentiel étant avant tout de présenter une démarche de validation des méthodes de de-embedding et non une étude exhaustive.

La méthode « Open » nécessite une structure identique à celle du dispositif étudié mais pour laquelle celui-ci a été retiré (circuit ouvert). L'ensemble des parasites sont supposés être connectés en parallèle avec le composant à caractériser. Ainsi la mesure du composant intrinsèque s'obtient par simple soustraction des paramètres Y. La méthode « Open-Short » requiert une seconde étape après correction des éléments parallèles par la méthode Open. Une structure de court-circuit « Short » est utilisée afin de soustraire les contributions séries (soustraction des paramètres Z). Enfin, la méthode « 6-dummies » [5][6][7] consiste dans un premier temps à corriger uniquement l'influence des plots par une correction de type « Open-Short ». Ensuite, les lignes d'accès sont corrigées en prenant en compte leur nature distribuée (en les considérant comme des lignes de transmission). Finalement, les structures Open et Short sont prise en compte pour corriger les parasites résiduels à proximité du composant. Il a été validé expérimentalement en [5] que cette méthode (associée à une calibration de type SOLT) donne des résultats similaires aux méthodes de calibration sur silicium (de type TRL) jusqu'à 100GHz.

### Simulation des structures.

L'ensemble des structures requises pour appliquer les 3 méthodes de de-embedding qui ont été simulées sont illustrées Figure 2. On notera qu'un soin particulier a été apporté à la définition des conditions de simulation et à la consistance des différentes géométries. La simulation de la structure intrinsèque est utilisée comme référence dans cette étude : celle-ci permet de comparer les méthodes de de-embedding à une solution idéalement exacte qui fait défaut dans toutes les études expérimentales. Cette étape nécessite une extrême rigueur sur les conditions aux bornes de la simulation.

Le simulateur FEM supporte deux types de définition des ports. La première est une source de tension ponctuelle dont l'impédance est fixée à une valeur imposée (typiquement 50 Ohms). Cette définition sera utilisée pour simuler toute structure comprenant les plots (Figure 2). La seconde définition nommée guide d'onde (« Waveguide port ») est un plan 2D calibré à l'impédance du plan de coupe du port. Ainsi ce type de port permet de minimiser les parasites provenant des conditions aux bornes, car l'impédance du guide d'onde correspond à l'impédance de l'accès du dispositif (la connexion du dispositif n'entraîne par conséquent aucune réflexion). La simulation du composant intrinsèque étant la plus critique, ce sont des ports de type guide d'onde qui seront utilisés pour celui-ci.

Pour ne pas dégrader l'exactitude des résultats de simulation, il convient d'éloigner suffisamment les ports de la première discontinuité de la structure. Un coupleur (de longueur  $L_1=200\mu\text{m}$ ) sera introduit à cet effet dans la simulation du dispositif intrinsèque. L'effet du coupleur lui-même sera retiré par l'utilisation d'une méthode inspirée de [8] nécessitant la simulation de deux coupleurs de longueur  $L_1=200\mu\text{m}$  et l'autre de longueur  $L_2 = 2 L_1$ . Ceci permet de parfaitement corriger la simulation de la référence des parasites provenant de la proximité des 2 ports (l'un par rapport à l'autre) (cf. Figure 3). Après correction du coupleur le plan de référence est alors ramené au niveau du composant intrinsèque.

## Résultats

L'avantage de l'utilisation d'un simulateur électromagnétique est d'obtenir la solution en théorie exacte du problème posé. En effet le composant intrinsèque ayant été simulé, il est possible de comparer non seulement les 3 méthodes entre elle mais aussi chaque méthode par rapport à la solution obtenue. Les paramètres  $S_{11}$  et  $S_{12}$  obtenus (Figure 4) mettent clairement en évidence l'inexactitude de la méthode « Open ». Les deux autres méthodes semblent au premier abord donner des résultats similaires sur l'abaque de Smith. Cependant, bien que les tracés se superposent, on constate que les points simulés se décalent au fur et à mesure que la fréquence augmente. En guise de figure de mérite, on s'intéressera à la capacité  $C_{12}$  extraite en fonction de la fréquence de simulation (Figure 5-a). On observe jusqu'à environ 100GHz le comportement quasi-idéal de la « Charge virtuelle », qui ne s'éloigne que peu du modèle purement capacitif. Au-delà de cette limite la comparaison entre les méthodes et la référence reste cependant possible et parfaitement valide. On peut alors calculer l'erreur relative entre chaque méthode et la référence en fonction de la fréquence (cf. Figure 5-b). En posant un seuil maximal d'erreur acceptable à 20%, nous pouvons définir les plages de validité en fréquence de chaque méthode qui sont respectivement à 15GHz pour la méthode « Open », 35GHz pour la méthode « Open-Short » et 79GHz pour la méthode « 6 Dummies ».

## Conclusion

Une méthodologie de validation du de-embedding basée sur des simulations électromagnétiques FEM 3D, a été présentée. Une technique permettant d'obtenir une simulation de référence fiable d'un composant intrinsèque est également décrite. Un composant passif permettant d'obtenir des paramètres S similaires à ceux d'un transistor, appelé « charge virtuelle » a été utilisé comme référence. Cette approche permet de démontrer que les méthodes de de-embedding classiques basées sur les éléments discrets tels que les méthodes « Open » ou « Open/Short » sont inexactes au-delà de 15 et 35GHz respectivement. Les méthodes plus élaborées prenant en compte la nature distribuée des lignes d'accès permettent d'étendre la plage de validité du de-embedding jusqu'à 80GHz. À plus haute fréquence, la nature distribuée du plot lui-même ne peut plus être négligée et requiert de nouvelles méthodes de de-embedding. Ces résultats permettent de mieux appréhender la précision des mesures à très haute fréquences et ainsi de permettre par extrapolation de développer des modèles électriques fiables de composant passifs et actifs pour les applications térahertz.

## Références bibliographiques

- [1] Heinemann et al, "SiGe HBT Technology with  $f_T/f_{MAX}$  of 300GHz/500GHz and 2.0 ps CML Gate Delay", IEDM 2010, p.688-691,2010
- [2] Erik Öjefors, Bernd Heinemann, and Ullrich R. Pfeiffer, "Active 220- and 325-GHz Frequency Multiplier Chains in an SiGe HBT Technology", IEEE Transactions of Microwave Theory and Techniques, 2011, p.1311-1318
- [3] PJ van Wijnen, HR Claessen, and EA Wolsheimer. A new straightforward calibration and correction procedure for "on wafer" high-frequency s-parameter measurements (45MHz-18GHz). Proceedings of the IEEE Bipolar/BiCMOS Circuits and Technology Meeting, 1987, pp. 70-73.
- [4] MCAM Koolen, JAM Geelen, and MPJG Versleijen. An improved de-embedding technique for on-wafer high-frequency characterization. Proceedings of the IEEE Bipolar/BiCMOS Circuits and Technology Meeting, 1991, pp. 188-191.
- [5] N. Derrier, A. Rumiantsev et al., "State-of-the-art and Future Perspectives in Calibration and De-Embedding Techniques for Characterization of Advanced SiGe HBTs featuring sub-THz  $f_T/f_{MAX}$ " in Bipolar/BiCMOS Circuits and Technology Meeting, 2012. BCTM 2012. IEEE, 2008.
- [6] C. Raya, "Modélisation et optimisation de transistors bipolaires à hétérojonction Si/SiGeC ultra rapides pour applications millimétriques," Ph.D., University of Bordeaux, Bordeaux, 2008.
- [7] F. Pourchon, C. Raya, N. Derrier, et al., "From measurement to intrinsic device characteristics: Test structures and parasitic determination," in Bipolar/BiCMOS Circuits and Technology Meeting, 2008. BCTM 2008. IEEE, 2008, pp. 232-239.
- [8] Alain M. Mangan, et al., Split-Thru De-Embedding: Direct Extraction of Parasitics from Scalable Transmission Line Models in IEEE Transactions On Microwave Theory and Techniques, Vol. X, No. Y, 2006.

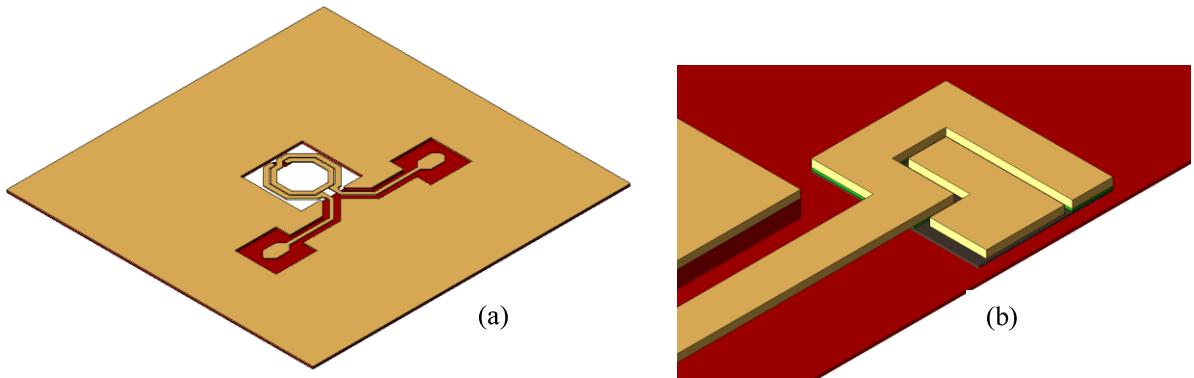


Figure 1 (a) Inductance dans sa structure de test (b) Vue en coupe de la structure charge virtuelle

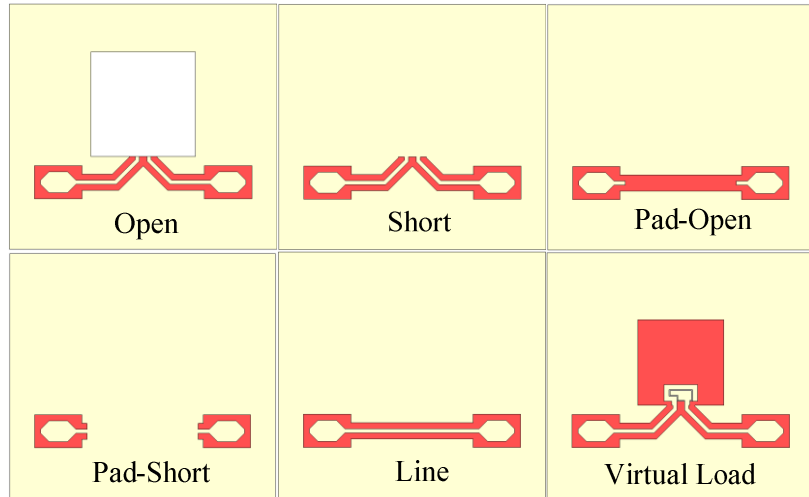


Figure 2 : Jeu de structures de de-embedding et charge virtuelle

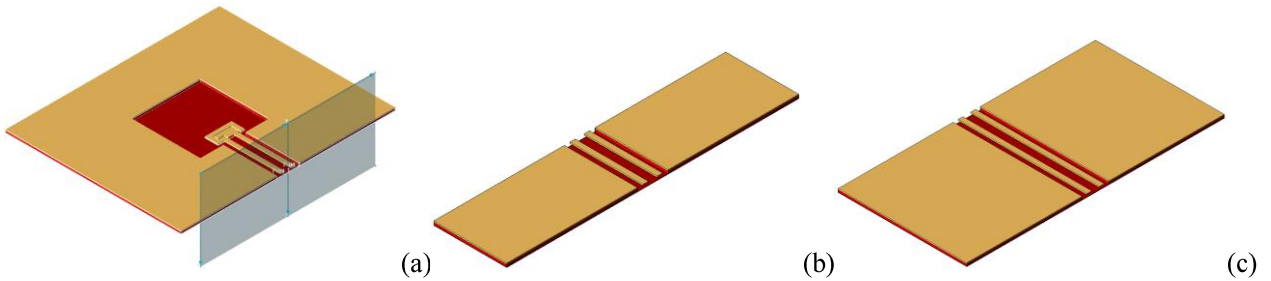


Figure 3 : (a) Structure Charge virtuelle avec les ports de simulation, (b) coupleur 200um (c) coupleur 400um

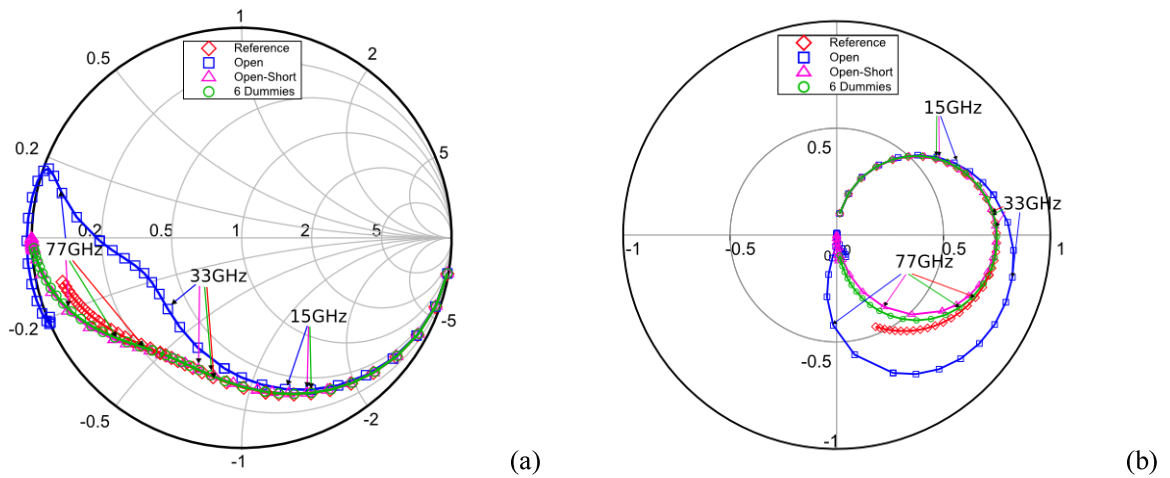
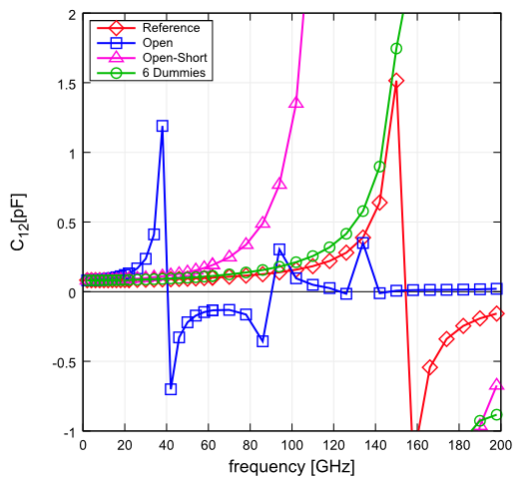
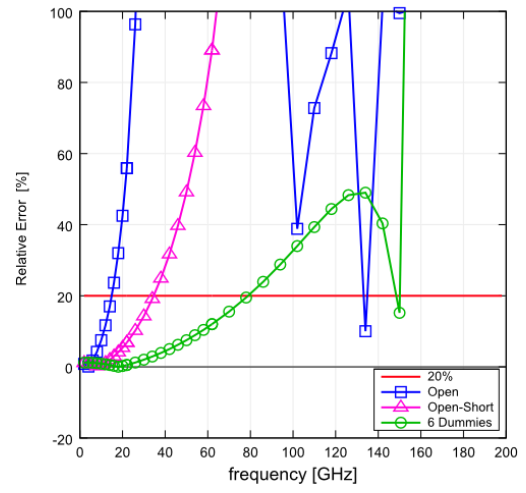


Figure 4 :  $S_{11}$  (a) et  $S_{12}$  (b) Référence et corrections. Méthode « Open », « Open-Short » et « 6 dummies ».



(a)



(b)

Figure 5 (a) Capacité de transfert  $C_{12}$  extraite entre le port 1 et 2, (b) erreur relative par rapport à la référence.